

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297827

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 21/768

H01L 21/316

(21)Application number : 10-101507

(71)Applicant : NEC KYUSHU LTD

(22)Date of filing : 13.04.1998

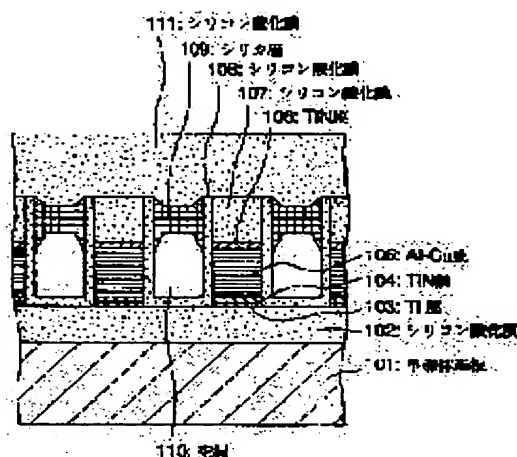
(72)Inventor : YOSHIMORI MASANORI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To considerably reduce parasitic capacity generated between wirings, by forming the silica layer of silicon oxide hydroxide whose relative dielectric constant is smaller than that of a silicon oxide film on the upper part of a cavity having upper/lower ends corresponding to the thickness of the metal wiring.

SOLUTION: A prescribed quantity of silica solution (silicon oxide hydroxide whose relative dielectric constant is smaller than a silicon oxide film) is previously stored in a storage liquid plate. A semiconductor substrate 101 is upset and it is supported by the base member and is lowered. Movement is stopped in a position where a part from a silicon oxide film 108 to the silicon oxide films 107 is immersed into silica solution. It is immersed into silica solution for prescribed time and the base member is pulled upward. Silica solution is held between the metal wirings by surface tension, and the upper opening part of a groove is covered by silica solution. When the semiconductor substrate 101 is baked in a state where it is vertically raised from silica solution, held silica solution is cured and a silica layer 109 is formed at the upper part of the groove between the silicon oxide films 107, and cavities 110 are formed by them.



LEGAL STATUS

[Date of request for examination] 13.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2957543

[Date of registration] 23.07.1999

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297827

(43) 公開日 平成11年(1999)10月29日

(51) IntCl.⁶

識別記号

F I

H 0 1 L 21/768
21/316

H 0 1 L 21/90
21/316
21/90

K
M
N
V

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平10-101507

(22) 出願日

平成10年(1998)4月13日

(71) 出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72) 発明者 吉森 正則

熊本県熊本市八幡1-1-1 九州日本電
気株式会社内

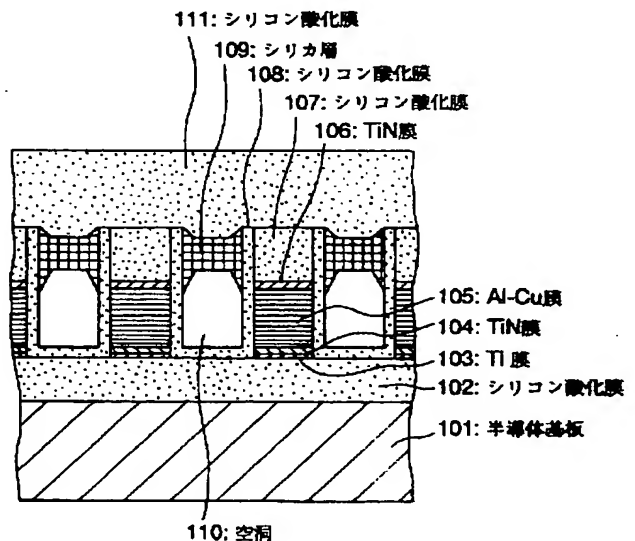
(74) 代理人 弁理士 高橋 詔男 (外4名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 配線間に生じる寄生容量を最大限により近く低減することが可能であり、半導体集積回路の配線間容量による遅延時間を解決できる半導体装置とその製造方法の提供。

【解決手段】 半導体基板101上に金属配線の厚さに対応した上下端を持つ空洞110が形成され、該空洞110の上部にシリカ層109が形成された半導体装置。



【特許請求の範囲】

【請求項 1】 半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、前記空洞の上部にシリカ層が形成されたことを特徴とする半導体装置。

【請求項 2】 前記シリカ層は、比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物からなるものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 シリコン酸化膜をマスクにパターニングされた金属配線を持ち、これら金属配線間に溝を有する半導体基板をこれのシリコン酸化膜側から該シリコン酸化膜の位置まで貯液皿に入れられたシリカ溶液に浸漬することを特徴とする半導体装置の製造方法。

【請求項 4】 前記半導体基板をシリカ溶液に浸漬した後、該半導体基板を前記シリカ溶液から垂直に持ち上げた状態で前記半導体基板を 200℃～400℃でベークして前記溝の開口部に保持されたシリカ溶液を硬化させることを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、配線間に生ずる電気力線の最も強い領域を空洞化し、電気力線が弧を描く領域を比誘電率の小さいシリカ層を形成することによって、配線間に生じる寄生容量を小さくするようにしたものである。

【0002】

【従来の技術】近年、半導体デバイスの高集積化および微細化に伴い、金属配線の配線抵抗と配線容量の積で決定される遅延時間に関する問題が大きくなっている。この遅延時間を少なくする方法のひとつとしては、配線相互間の比誘電率を小さくする方法が挙げられる。配線相互間の比誘電率を小さくした半導体装置としては、例えば特開平 9-172079 号と特開平 4-207055 号公報にて示されているようなものが知られている。

【0003】まず、特開平 9-172079 号の半導体装置について、図 7 を用いて説明する。この半導体装置は、複数の金属配線としての Al-Si-Cu 膜 405 間に形成されるシリコン酸化膜 407 を有しており、シリコン酸化膜 407 中には Al-Si-Cu 膜 405 の厚さに対応した上下端を持つ空洞 408 が形成されている。このような構成の半導体装置においては、配線間に生ずる電気力線を再大限遮ることができ、各配線間の誘電率を均一にすることが可能である。次に、特開平 4-207055 号の半導体装置について図 8 を用いて説明する。この半導体装置は、側壁絶縁膜 504 が形成された第 1 の配線 505 間に空洞 507 を形成することにより、配線間の寄生容量を低減しているものである。

【0004】

【発明が解決しようとする課題】しかしながら、図 7 に示した従来の半導体装置においては、シリコン酸化膜 4

07 が配線の側壁に付くため、比誘電率の小さい空洞 408 の領域を広くするには限界があるという問題点があった。また、図 8 に示した従来の半導体装置においては、電気力線が弧を描く領域についてはシリコン酸化膜を使用しているため、再大限に容量を低減できないという問題があった。

【0005】本発明は、上記事情に鑑みてなされたもので、配線間に生じる寄生容量を最大限により近く低減することが可能であり、半導体集積回路の配線間容量による遅延時間を解決できる半導体装置とその製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明者は、半導体集積回路の配線間容量による遅延時間を解決すべく、特に半導体装置の電気力線が通過する位置に着目したところ、図 6 に示すように半導体基板 301 上にシリコン酸化膜 302 を介して形成された配線 303 間に生ずる電気力線 305 は弧を描いており、この電気力線 305 が通過する領域の比誘電率を下げることによって配線間に生じる寄生容量を小さくすることにより、半導体集積回路の配線間容量による遅延時間を解決できることを見だし、本発明を完成したのである。

【0007】すなわち、請求項 1 記載の発明は、半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、上記空洞の上部にシリカ層が形成されたことを特徴とする半導体装置を上記課題の解決手段とした。請求項 2 記載の発明は、上記シリカ層は、比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物からなるものであることを特徴とする請求項 1 記載の半導体装置を上記課題の解決手段とした。

【0008】請求項 3 記載の発明は、シリコン酸化膜をマスクにパターニングされた金属配線を持ち、これら金属配線間に溝を有する半導体基板をこれのシリコン酸化膜側から該シリコン酸化膜の位置まで貯液皿に入れられたシリカ溶液に浸漬することを特徴とする半導体装置の製造方法を上記課題の解決手段とした。請求項 4 記載の発明は、上記半導体基板をシリカ溶液に浸漬した後、該半導体基板を上記シリカ溶液から垂直に持ち上げた状態で上記半導体基板を 200℃～400℃でベークして上記溝の開口部に保持されたシリカ溶液を硬化させることを特徴とする請求項 3 記載の半導体装置の製造方法を上記課題の解決手段とした。

【0009】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法の一実施形態について図 1 ないし図 5 を用いて説明する。図 4 は、本発明の半導体装置の一実施形態を示す図である

本発明の実施形態の半導体装置の製造方法は、以下の工程による。まず、図 1 に示すように、平坦な半導体基板 101 の表面にシリコン酸化膜 102 を成膜した後、こ

のシリコン酸化膜102上にスパッタ法等によりTi膜103、TiN膜104、Al-Cu膜105、TiN膜106をシリコン酸化膜102側から順に形成する。ついで、TiN膜106の上にCVD法等により厚さ1〜2μm程度のシリコン酸化膜107を成膜する。

【0010】ついで、このシリコン酸化膜107上にフォトリソを塗布した後、リソグラフィによりパターンを形成する。ついで、上記フォトリソをマスクとして公知のドライエッチング法等を用いてシリコン酸化膜107、TiN膜106、Al-Cu膜105、TiN膜104、Ti膜103をエッチングして金属配線（後述する金属配線204）を形成した後、上記フォトリソを除去した後、これらの表面にシリコン酸化膜108を厚みが0.12μm程度となるように成膜すると、金属配線間には溝110aが形成される。

【0011】ついで、上記溝110aの開口部上に図5に示すような塗布装置を用いてシリカ層を以下のようにして形成する。図5の塗布装置は、半導体基板101を真空吸着可能であり、しかも半導体基板101をベーク可能な基体201と、シリカ溶液203を貯液し、浸漬処理を行うための貯液皿202を有しているものである。この塗布装置を用いて上記シリカ層を形成するには、貯液皿202に予め定量のシリカ溶液203を貯液しておき、半導体基板101を逆さにして、すなわち、シリコン酸化膜108側の面が下方向（貯液皿202の方向）を向くように半導体基板101を基体201により支持し、基体201をb方向（貯液皿202の方向）に移動する。半導体基板101のシリコン酸化膜108からシリコン酸化膜107までがシリカ溶液に浸漬した位置で上記b方向への移動を停止させて、このシリカ溶液に定時間浸漬させた後、基体201をa方向（シリカ溶液203から離れる方向）に移動する。ここで金属配線204間には表面張力によりシリカ溶液203が保持されており、上記溝110aの上部開口部がシリカ溶液203で覆われたようになっている。なお、ここでシリカ溶液203に浸漬させる部分は、シリコン酸化膜107およびこれの上に形成されたシリコン酸化膜108である。シリカ溶液203に用いるシリカとしては、比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物などを用いることが好ましい。

【0012】ついで、シリカ溶液203と充分離れた位置でa方向への移動を停止させ、半導体基板101をシリカ溶液203から垂直に持ち上げた状態でベークを行うと、金属配線204間に保持されたシリカ溶液203が上記ベークによって硬化し、図2に示すようシリコン酸化膜107間の溝110aの上部開口部にシリカ層109が形成されて、それによって空洞110が形成される。半導体基板101のベークを行う際の温度としては、200℃〜400℃程度の範囲が好ましい。なお、シリコン酸化膜107上にもわずかではあるがシリカ層

109が形成されている。

【0013】ついで、図3に示すように公知の選択性のドライエッチング法等によりシリコン酸化膜107上のシリコン酸化膜108とシリカ層109を除去する。最後に、図4に示すように層間絶縁膜であるシリコン酸化膜111を成膜し、例えばCMP等の平坦化技術を行うと、従来技術に比べて低誘電率な層間絶縁膜が形成され、目的とする半導体装置が得られる。このようにして得られた半導体装置は、半導体基板101上に金属配線204の厚さに対応した上下端を持つ空洞110が形成され、該空洞110の上部にシリカ層109が形成されたものである。金属配線204間に生ずる電気力線の最も強い領域が空洞化されており、電気力線が弧を描く領域には比誘電率の小さいシリカ層109が配置されたこととなり、配線204間に生じる寄生容量を最大限により近く低減することが可能であり、半導体集積回路の配線間容量による遅延時間を解決できるという効果がある。

【0014】実施形態の半導体装置の製造方法によれば、上記半導体基板1をこのシリコン酸化膜107側から該シリコン酸化膜107の位置まで貯液皿202に入れられたシリカ溶液203に浸漬することにより、溝110aの開口部にシリカ溶液203を保持させることができ、この後、半導体基板1をシリカ溶液203から垂直に持ち上げた状態で半導体基板1を200℃〜400℃でベークして溝110aの開口部に保持されたシリカ溶液203を硬化させることにより、シリカ層109を形成できるとともに該シリカ層109により溝110aの上部開口部が閉塞されて空洞110を形成することができる。

【0015】

【発明の効果】以上説明したように本発明の半導体装置によれば、半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、上記空洞の上部にシリカ層が形成されたものである。金属配線間に生ずる電気力線の最も強い領域が空洞化されており、電気力線が弧を描く領域にはシリカ層が配置されたこととなり、上記配線間に生じる寄生容量を最大限により近く低減することができ、半導体集積回路の配線間容量による遅延時間を解決できるという効果がある。

【0016】また、本発明の半導体装置の製造方法によれば、シリコン酸化膜をマスクにパターニングされた金属配線を持ち、これら金属配線間に溝を有する半導体基板をこのシリコン酸化膜側から該シリコン酸化膜の位置まで貯液皿に入れられたシリカ溶液に浸漬することにより、上記溝の開口部にシリカ溶液を保持させることができる。そして、上記半導体基板をシリカ溶液に浸漬した後、該半導体基板を上記シリカ溶液から垂直に持ち上げた状態で上記半導体基板を200℃〜400℃でベークして上記溝の開口部に保持されたシリカ溶液を硬化さ

せることにより、シリカ層を形成できるとともに該シリカ層により上記溝の開口部が閉塞されて空洞を形成することができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の製造方法の一実施形態を工程順に説明するための断面図である。

【図2】 本発明の半導体装置の製造方法の一実施形態を工程順に説明するための断面図である。

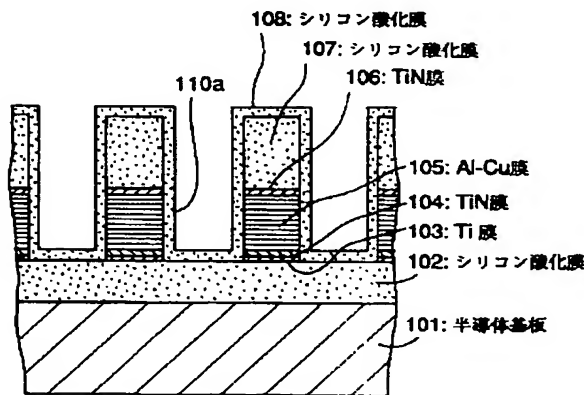
【図3】 本発明の半導体装置の製造方法の一実施形態を工程順に説明するための断面図である。

【図4】 本発明の半導体装置の一実施形態を示す断面図である。

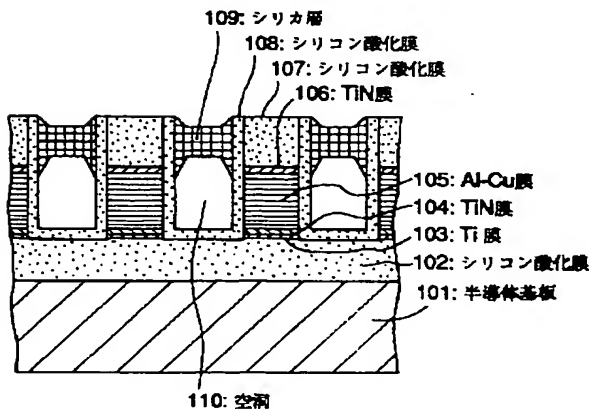
【図5】 本発明の半導体装置のシリカ層を形成するための塗布装置およびこの装置を用いてシリカ層を形成する方法を説明するための図である。

【図6】 半導体装置の配線間に生じる電気力線を説明

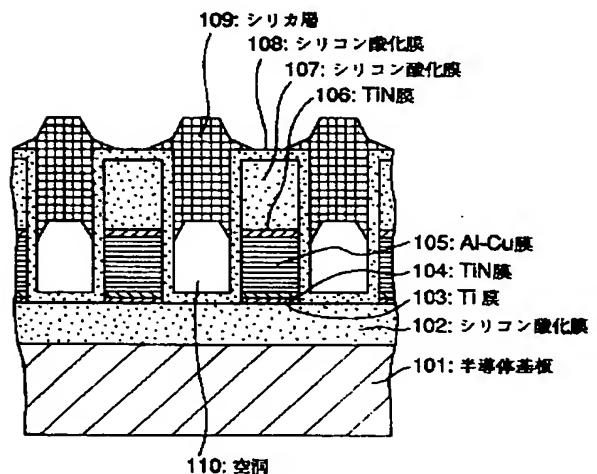
【図1】



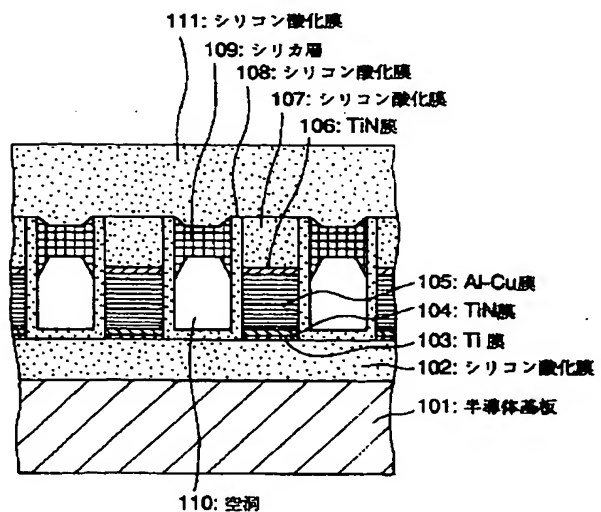
【図3】



【図2】



【図4】



するための図である。

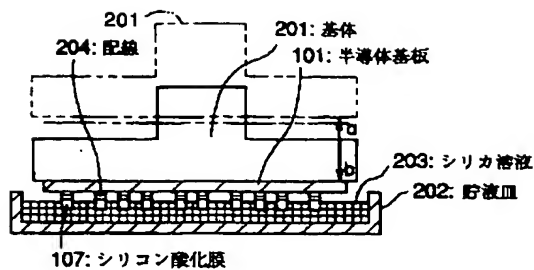
【図7】 従来の半導体装置の例を示す断面図である。

【図8】 従来の半導体装置のその他の例を示す断面図である。

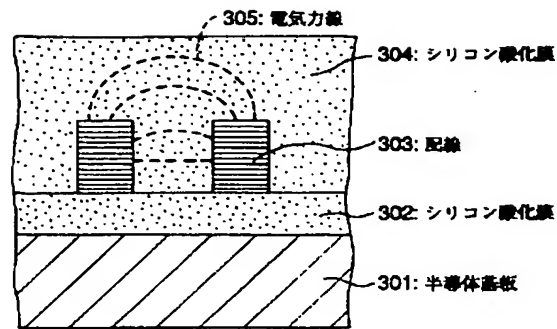
【符号の説明】

101・・・半導体基板、102・・・シリコン酸化膜、103・・・Ti膜、104・・・TiN膜、105・・・Al-Cu膜、106・・・TiN膜、107・・・シリコン酸化膜、108・・・シリコン酸化膜、109・・・シリカ層、110a・・・溝、110・・・空洞、111・・・シリコン酸化膜、201・・・基板、202・・・貯液皿、203・・・シリカ溶液、204・・・配線、301・・・半導体基板、302・・・シリコン酸化膜、303・・・配線、304・・・シリコン酸化膜、305・・・電気力線。

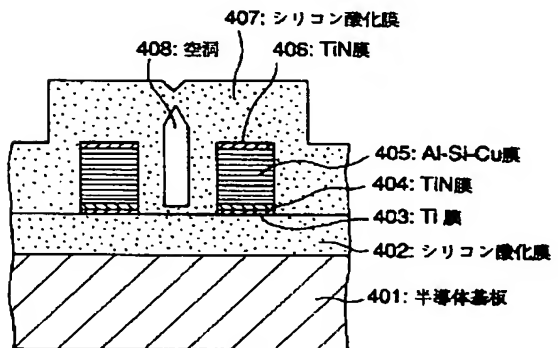
【図 5】



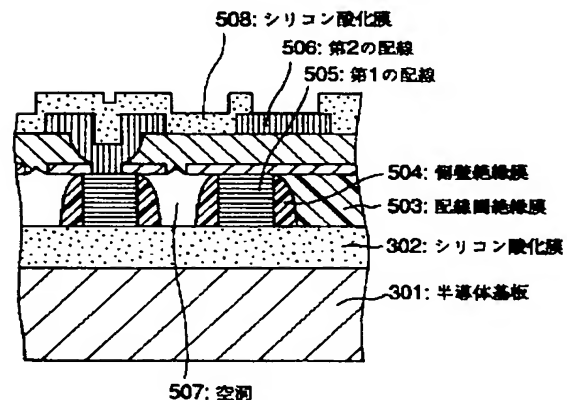
【図 6】



【図 7】



【図 8】



【手続補正書】

【提出日】平成 1 1 年 2 月 2 2 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、前記空洞の上部に比誘電率がシリコン酸化膜より小さいシリカ層が形成されたことを特徴とする半導体装置。

【請求項 2】 前記シリカ層は、比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物からなるものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 シリコン酸化膜をマスクにパターンニングされた金属配線を持ち、これら金属配線間に溝を有する半導体基板をこれのシリコン酸化膜側から該シリコン酸化膜の位置まで貯液皿に入れられたシリカ溶液に浸漬することを特徴とする半導体装置の製造方法。

【請求項 4】 前記半導体基板をシリカ溶液に浸漬した

後、該半導体基板を前記シリカ溶液から垂直に持ち上げた状態で前記半導体基板を 200℃～400℃でベークして前記溝の開口部に保持されたシリカ溶液を硬化させることを特徴とする請求項 3 記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】すなわち、請求項 1 記載の発明は、半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、上記空洞の上部に比誘電率がシリコン酸化膜より小さいシリカ層が形成されたことを特徴とする半導体装置を上記課題の解決手段とした。請求項 2 記載の発明は、上記シリカ層は、比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物からなるものであることを特徴とする請求項 1 記載の半導体装置を上記課題の解決手段とした。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】

【発明の効果】以上説明したように本発明の半導体装置によれば、半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、上記空洞の上部に比誘電率

がシリコン酸化膜より小さいシリカ層が形成されたものである、金属配線間に生ずる電気力線の最も強い領域が空洞化されており、電気力線が弧を描く領域にはシリカ層が配置されたこととなり、上記配線間に生じる寄生容量を最大限により近く低減することができ、半導体集積回路の配線間容量による遅延時間を解決できるという効果がある。

【手続補正書】

【提出日】平成11年6月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、前記空洞の上部にシリカ層が形成されてなり、前記シリカ層は比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物からなるものであることを特徴とする半導体装置。

【請求項2】 シリコン酸化膜をマスクにパターニングされた金属配線を持ち、これら金属配線間に溝を有する半導体基板をこのシリコン酸化膜側から該シリコン酸化膜の位置まで貯液皿に入れられたシリカ溶液に浸漬することを特徴とする半導体装置の製造方法。

【請求項3】 前記半導体基板をシリカ溶液に浸漬した後、該半導体基板を前記シリカ溶液から垂直に持ち上げた状態で前記半導体基板を200℃～400℃でバークして前記溝の開口部に保持されたシリカ溶液を硬化させることを特徴とする請求項2記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】すなわち、請求項1記載の発明は、半導体基板上に金属配線の厚さに対応した上下端を持つ空洞が形成され、上記空洞の上部にシリカ層が形成されてなり、前記シリカ層は比誘電率がシリコン酸化膜より小さい水素化シリコン酸化物からなるものであることを特徴とする半導体装置を上記課題の解決手段とした。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】請求項2記載の発明は、シリコン酸化膜をマスクにパターニングされた金属配線を持ち、これら金属配線間に溝を有する半導体基板をこのシリコン酸化膜側から該シリコン酸化膜の位置まで貯液皿に入れられたシリカ溶液に浸漬することを特徴とする半導体装置の製造方法を上記課題の解決手段とした。請求項3記載の発明は、上記半導体基板をシリカ溶液に浸漬した後、該半導体基板を上記シリカ溶液から垂直に持ち上げた状態で上記半導体基板を200℃～400℃でバークして上記溝の開口部に保持されたシリカ溶液を硬化させることを特徴とする請求項2記載の半導体装置の製造方法を上記課題の解決手段とした。